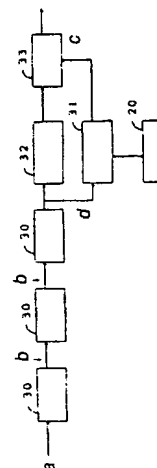


(54) ATM CELL ERROR PROCESSING SYSTEM

(11) 5-136804 (A) (43) 1.6.1993 (19) JP
(21) Appl. No. 3-121070 (22) 27.5.1991
(71) FUJITSU LTD (72) RYUICHI TAKECHI(5)
(51) Int. Cl⁶. H04L12/48

PURPOSE: To obtain an ATM cell error processing system which can arbitrarily edit an arbitrary error in the ATM cell error processing system detecting and processing the error of an ATM cell.

CONSTITUTION: Plural error detection parts 30 inputting cell data and detecting various cell errors for recognizing the normality of them are connected in series. The cell errors detected by the respective error detection parts 30 are noticed to the subsequent error detection parts 30. An error editing part 31 extracts error information from the output of the error detection part 30 in a final stage so as to execute an error processing such as the abolishment of the cell.



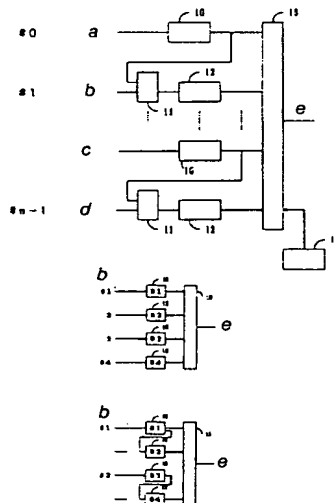
20: fault supervisory part, 32: cell waiting buffer, 33: error cell abolishment part, a: cell data, b: cell data and error result, c: cell abolishment instruction, d: error result drop

(54) ATM SWITCHING CIRCUIT

(11) 5-136805 (A) (43) 1.6.1993 (19) JP
(21) Appl. No. 3-156746 (22) 27.6.1991
(71) FUJITSU LTD (72) YUJI KATO(4)
(51) Int. Cl.⁵. H04L12/48

PURPOSE: To secure necessary buffer quantity per output way by using the switch of a size (n) at the time of inputting the outputs of two buffers to a selector and using the switch of a size $n/2$ at the time of inputting the outputs of the buffers which are connected in series and whose capacity is doubled to the selector.

CONSTITUTION: Data on a #1 channel is inputted to B1, data on a #2 channel to B2, data on a #3 channel to B3 and data on a #4 channel to B4 in a control part 14 when respective buffers 10 and 12 are set to be B1-B4 from top. One of four inputs is selected in the selector 13 and it is outputted to the output way. At this time, the switch of the size (n) becomes necessary. When data on the #1 channel is inputted to B1 and B2 and data on the #2 channel is similarly inputted to B3 and B4, only the capacity of n/2 is sufficient for the switch, and the size of the switch can be revised, as well.



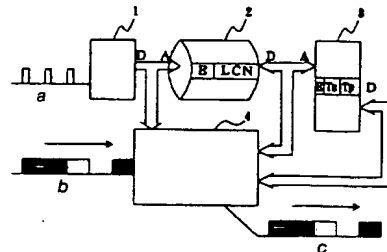
a: #0 input way, b: #1 input way, c: input way, d: #n-1 input way, e: output way

(54) TIME MANAGEMENT SYSTEM

(11) 5-136806 (A) (43) 1.6.1993 (19) JP
(21) Appl. No. 3-296011 (22) 12.11.1991
(71) OKI ELECTRIC IND CO LTD (72) JITSUO TAKADA(2)
(51) Int. Cl.⁵. H04L12/48

PURPOSE: To enable a polishing control even if a cell having the same destination is not generated for more than one period of a clock counter in the polishing control of the cell having plural users.

CONSTITUTION: A control part 4 reads the logical channel number LCN of an input cell and an enable flag E before one period of the clock counter from a cell arrival history memory 2 with the counter value of the clock counter 1 as an address at the time of detecting a cell sink. When E is turned on, a cell arrival time memory 3 is read with LCN of the input cell as the address. When E in the cell arrival time memory 3 is turned on and the counted value of the clock counter 1 is equal to previous cell arrival time T_p in the cell arrival time memory 3, E in the cell arrival time memory 3 is turned off since the cell in LCN is not present for one period of the clock counter 1. When the generation of the cell cannot be detected at this time, E in the cell arrival history memory 2 is turned off.



a: cell sink input, b: input cell, c: output cell

BEST AVAILABLE COPY

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-136806

(43)公開日 平成5年(1993)6月1日

(51)Int.Cl.⁵

H 0 4 L 12/48

識別記号

庁内整理番号

F I

技術表示箇所

8529-5K

H 0 4 L 11/20

Z

審査請求 未請求 請求項の数2(全10頁)

(21)出願番号

特願平3-296011

(22)出願日

平成3年(1991)11月12日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 高田 実雄

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72)発明者 内野 健一

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72)発明者 木原 弘一

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

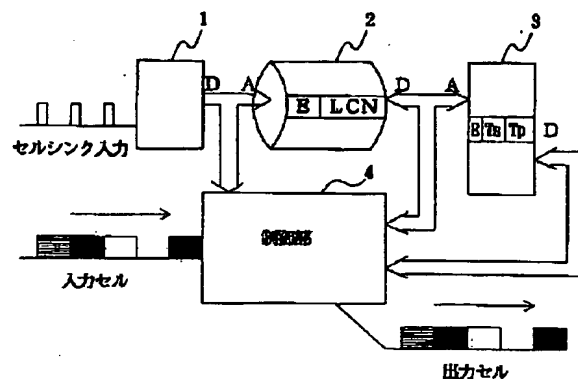
(74)代理人 弁理士 清水 守 (外2名)

(54)【発明の名称】 時刻管理方式

(57)【要約】

【目的】 複数ユーザを有するセルのボリシング制御において、同一宛先を持つセルが時計カウンタの1周期以上発生しなくてもボリシング制御を可能とする。

【構成】 制御部4はセルシンク検出時に、時計カウンタ1のカウンタ値をアドレスとして、セル到着履歴メモリ2から時計カウンタの1周期前の入力セルの論理チャネル番号LCNとイネーブルフラグEを読み込む。EがONであれば、入力セルのLCNをアドレスにセル到着時刻メモリ3を読み込む。セル到着時刻メモリ3内のEがONであり、時計カウンタ1のカウンタ値とセル到着時刻メモリ3内の前回セル到着時間Tpが等しければ、時計カウンタ1の1周期、そのLCNのセルが存在しなかったことになるため、セル到着時刻メモリ3内のEをOFFにする。さらに、その時刻にセルの発生が検出されなければ、セル到着履歴メモリ2内のEをOFFにする。



1: 時計カウンタ
2: セル到着履歴メモリ
3: セル到着時刻メモリ
4: 制御部
A: アドレス
D: データ

【特許請求の範囲】

【請求項1】 複数種類の固定長データの発生する時間間隔を該固定長データの種類ごとに測定する装置において、

(a) 前記固定長データのデータ長ごとに発生するタイミング信号を入力とし、かつ、あらかじめ固定長データの種類ごとに設定されている固定長データの発生時間間隔の規定値の最大値以上の周期で時間をカウントする時計カウンタと、

(b) 該時計カウンタのカウンタ値をアドレスとし、入力固定長データの種類の示すデータと入力固定長データの有効性を示すデータを内容とする第1のメモリと、

(c) 前記入力固定長データの種別を示すデータをアドレスとし、前記規定値と前回の固定長データの到着時間と入力固定長データの種類の示すデータと入力固定長データの有効性を示すデータを内容とする第2のメモリと、

(d) 前記時計カウンタ及び第1、第2のメモリを制御する制御部を設け、

前記タイミング信号検出時に、前記第1、第2のメモリの内容を参照し、前記第2のメモリ内の前回の固定長データ到着時間と前記時計カウンタのカウンタ値とが等しければ、前記第2のメモリ内の入力データの有効性を示すデータを無効を示す状態にし、さらに、その時刻に固定長データの発生が検出されなければ、前記第1のメモリ内の入力データの有効性を示すデータを無効を示す状態にすることを特徴とする時刻管理方式。

【請求項2】 複数種類の固定長データがそれぞれ異なる宛先を有するATMセルであり、固定長データのデータ長ごとに発生するタイミング信号がセルシンクであり、あらかじめ固定長データの種類ごとに設定されている固定長データの発生時間間隔の規定値が最小セル間隔であり、入力固定長データの種類の示すデータがATMセルの宛先である請求項1記載の時刻管理方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ATMセル等の固定長データの発生する時間間隔を測定する装置における時刻管理方式に関するものである。

【0002】

【従来の技術】 ATM (Asynchronous Transfer Mode) 網では、ユーザはネットワークへ送出するATMセル（以下、セルと略す）の帯域を申告する。したがって、ユーザが申告値を越えてセルを送出した場合は、あらかじめ割り当てられた帯域を越えるセルが流入されることになり、他の呼のサービス品質にも影響を及ぼすこととなる。

【0003】 このため、ユーザの申告帯域を監視する機能により、ユーザの申告値を越えるセルが網に流入しないよう、監視することが必要となる。以後、ユーザの申

告帯域を監視する機能をポリシングと呼ぶ。このポリシング方式に1つとして、ユーザがATM網にセルを送出する際の最小セル間隔（例えば、回線上で1セル保留時間で正規化される）に基づく方式がある。この方式は、監視パラメータとして各ユーザが申告した各ユーザごとの最小セル間隔の規定値 T_s を有し、これと実測値であるユーザのセル間隔 T_u を比較し、 $T_s > T_u$ であればその入力セルを違反セルとみなし、違反セル処理を行うものである。

【0004】 ここで、単一ユーザの場合の最小セル間隔によるポリシング制御について考える。図6はセルフォーマット概念図、図7は T_s を3とした場合の単一ユーザ時のポリシング制御タイムチャート、図8はその動作フローチャートである。図6に示すように、セルは53バイトの固定長を有する。5バイトのヘッダ部は、セルの宛先情報を持ち、同時にこれはユーザ識別子としても用いることができる。また、48バイトの情報部は、宛先に転送する情報（音声、画像、データ）で構成される。そして、セルシンクは、1セル時間に1度、定期的に発生する信号である。

【0005】 セルは、セルシンクに同期してポリシング回路（図示せず）に入力される。ポリシング回路におけるポリシング制御は、ユーザの最小セル間隔の規定値 T_s を管理する時計カウンタと、これを制御する制御部とによって行われる。時計カウンタは、セルが入力されるとリセットされ、セルシンクに同期して最大 T_s までカウントアップされる。入力セルは、その時のカウンタ値が T_s でなければ違反セルと見なされ、違反セル処理される。違反セル処理には、例えば、永井正武監修「広帯域ISDN対応ATM通信技術」、P. 126、(株)トリケップス、1990年11月29日発行、に記載されているように、各種の処理方式があるが、ここでは無条件廃棄方式（違反セルと判定されたセルは無条件に廃棄される）とする。

【0006】 このように、単一ユーザ時の最小セル間隔によるポリシング制御は簡単に行うことができる。

【0007】

【発明が解決しようとする課題】 しかしながら、実際にはユーザ数は複数であるため、前記従来のポリシング制御方式ではユーザ数だけのポリシング制御機能が必要となり、ハードウェア規模が非常に大きなものとなり、コストが増大するという問題点があった。本発明は前記問題点を解決し、複数種類の異なる固定長データの発生する時間間隔を固定長データの種類ごとに測定する装置において、それぞれの固定長データごとの時間を管理する時計カウンタを必要とせず、そのためコスト及びハードウェアの規模を非常に小さくできる時刻管理方式を提供することとする。また、本発明は、時計カウンタの1周期以上、同一種類の固定長データが発生しなくても、その発生する時間間隔の測定を可能にする時刻管理

方式を提供することを目的とする。

【0008】

【課題を解決するための手段】前記問題点を解決するために、本発明は、複数種類の固定長データの発生する時間間隔を固定長データの種類ごとに測定する装置において、固定長データのデータ長ごとに発生するタイミング信号を入力とし、かつ、あらかじめ固定長データの種類ごとに登録されている固定長データの発生時間間隔の規定値の最大値以上の周期で時間をカウントする時計カウンタと、時計カウンタのカウント値をアドレスとし、入力固定長データの種類の示すデータと入力固定長データの有効性を示すデータを内容とする第1のメモリと、入力固定長データの種別を示すデータをアドレスとし、前記規定値と前回の固定長データの到着時間と入力固定長データの種別を示すデータと入力固定長データの有効性を示すデータを内容とする第2のメモリと、時計カウンタ及び第1、第2のメモリを制御する制御部を設け、タイミング信号検出時に、第1、第2のメモリの内容を参照し、第2のメモリ内の前回の固定長データ到着時間と時計カウンタのカウント値とが等しければ、第2のメモリ内の入力データの有効性を示すデータを無効を示す状態にし、さらに、その時刻に固定長データの発生が検出されなければ、第1のメモリ内の入力データの有効性を示すデータを無効を示す状態にするように構成した。

【0009】

【作用】本発明によれば、以上のように時刻管理方式を構成したので、制御部はタイミング信号検出時に、時計カウンタのカウント値をアドレスとして、第1のメモリから時計カウンタの1周期前の入力固定長データの種類の示すデータと入力固定長データの有効性を示す情報を読み込む。そして、データが有効であれば、入力固定長データの種類の示すデータをアドレスに第2のメモリを読み込む。第2のメモリ内の入力固定長データの有効性を示す情報が有効であり、時計カウンタのカウント値と第2のメモリ内の前回セル到着時間が等しければ、時計カウンタの1周期、その種類の固定長データが存在しなかったことになるため、第2のメモリ内の入力固定長データの有効性を示す情報を無効を示す状態にする。さらに、その時刻に固定長データの発生が検出されなければ、第1のメモリ内の入力データの有効性を示すデータを無効を示す状態にする。したがって、同一種別の固定長データが時計カウンタの1周期以上発生しなくてもその発生する時間間隔の測定が可能となる。

【0010】

【実施例】以下、本発明の実施例について図面を参照しながら詳細に説明する。図1は本発明の実施例に係る時刻管理方式の構成を示すブロック図で、時計カウンタ1、セル到着履歴メモリ2、セル到着時刻メモリ3及び制御部4から構成されている。

【0011】時計カウンタ1は、セルシンクを入力とし

カウントアップしていく。そして、カウンタ値が1周期経過するとリセットされ、新たにカウントアップしていく。セル到着履歴メモリ2は、現時刻である時計カウンタ1のカウント値 CTS をアドレスとし、その時の入力セルのユーザ識別子である論理チャネル番号 LCN とイネーブルフラグ E をデータに持つ。ただし、アドレスは0から時計カウンタ1の周期(Tck)-1までである。セル到着時刻メモリ3は、入力セルの論理チャネル番号 LCN をアドレスとし、前回セル到着時間 Tp 、最小セル間隔の規定値 Ts と、イネーブルフラグ E をデータに持つ。ただし、アドレスは0からユーザ数-1までとする。また、 $Ts \leq Tck$ としなければならない。

【0012】図2及び図3は本発明の実施例に係る時刻管理方式の動作フローチャートである。ここでは、違反セル処理は無条件廃棄方式とした。図2において、まず、ステップ11で初期設定を行い、次に、ステップ12でセルシンクの有無を判断し、セルシンクがあればステップ13に進み、時計カウンタ1のカウント値 CTS が時計カウンタ1の周期 $Tck-1$ と等しいかどうか判断する。そして、 $CTS = Tck-1$ であれば $CTS = 0$ にした後、 $CTS = Tck-1$ でなければ $CTS = CTS + 1$ にした後、いずれもステップ16に進む。

【0013】ステップ16からステップ21は時計カウンタ1の1周期以上、入力セルが存在しない場合にも時間の判定を可能にし、違反セルの判定を可能にするための処理である。セル到着履歴メモリ2に到着セル情報

(E 、 LCN)を書込む前に、まず、ステップ16で時計カウンタ1のカウント値 CTS をアドレスとして時計カウンタ1の1周期前の入力セル情報(E 、 LCN)を読み込む。そして、ステップ17でイネーブルフラグ E がONかどうかを判断し、ONであればステップ18で論理チャネル番号 LCN をアドレスに、セル到着時刻メモリ3を読み込む。この時、ステップ19でイネーブルフラグ E がONで、かつ、ステップ20で時計カウンタ1のカウント値 $CTS =$ 前回セル到着時間 Tp であれば、時計カウンタ1の1周期、その論理チャネル番号 LCN の入力セルが存在しなかったことになるため、ステップ21でセル到着時刻メモリ3のイネーブルフラグ E をOFFにする。そして、図3のステップ22に進む。

【0014】図3のステップ22で入力セルが空セルの場合は、ステップ23で時計カウンタ1のカウント値 CTS をアドレスとし、セル到着履歴メモリ2のイネーブルフラグ E をOFFにする。ステップ22で入力セルが空セルでない場合は、ステップ24で時計カウンタ1のカウント値 CTS をアドレスとし、セル到着履歴メモリ2のイネーブルフラグ E をONにし、ステップ25でセル到着履歴メモリ2に入力セルの論理チャネル番号 LCN を書込む。また、ステップ26でこの入力セルの論理チャネル番号 LCN をアドレスとし、セル到着時刻メモリ3を読み込む。そして、ステップ27でイネーブルフラ

5

グEがOFFであれば、ステップ28でイネーブルフラグEをONにし、ステップ29でセル到着時刻メモリ3の前回セル到着時間Tpに時計カウンタ1のカウンタ値CTsを書込む。これによって、次回到着セルはセル到着時刻メモリ3を読み込み、ステップ30で $CTs - Tp > Ts$ を満足すれば違反セルであると判定し、ステップ31でセルを廃棄することができる。なお、ここで $CTs - Tp$ は図5のカウンタの周期を考慮した到着セル経過時間の概念図に示すように、 $CTs - Tp > 0$ の時は、 $CTs - Tp$ でよいが、 $CTs - Tp < 0$ の時は、 $CTs - Tp + Tck$ とする。実際には、 CTs と Tp の2の補数を加算すればよい。

【0015】以上の動作により、複数ユーザ時の最小セル間隔Tsによるポリシング制御が可能になる。なお、ここではセル到着時刻メモリ2のイネーブルフラグEを1ビットとして論じてきたが、これを2ビットとすると時計カウンタ1の3周期まで入力セルが不存在であるかが判定できる。このように、セル到着時刻メモリ3のイネーブルフラグEのビット数を増やしていくと、入力セルが不存在であるかどうかを判定できる時間が長くなる。

【0016】また、イネーブルフラグEを用いなくても、セル到着履歴メモリ2とセル到着時刻メモリ3の内容に無効パターンを決定しておけば、同様な処理は可能である。図5は、ユーザ数=3、時計カウンタの周期 $Tck=8$ 、ユーザ1, 2, 3の最小セル間隔の規定値 $Ts1, Ts2, Ts3$ をそれぞれ3, 5, 2とした場合の制御タイムチャートである。以下、図1～図6を参照しながら、ユーザu1のセルに対する制御動作を説明する。なお、セルC1～C5は空セルでないものとする。

【0017】いま、制御部4に図5におけるユーザu1の3番目のセルC3が入力されたタイミングであるとする。まず、図2のステップ12の判断結果はYesとなるので、ステップ13に進む。次に、ステップ13では、セルC3が入力したタイミングにおけるCTsは4で $Tck-1 (=7)$ と等しくないのので、ステップ15に進み、 $CTs=5$ にした後、ステップ16に進む。

【0018】ステップ16で、アドレスを $CTs=5$ としてセル到着履歴メモリ2の1周期前を読み込む。1周期前にはセルC1が入力されており、ステップ17でイネーブルフラグEはONと判断されるので、ステップ18でLCNをアドレスとしてセル到着時刻メモリ3を読み込む。ユーザu1のセルC2が $CTs=1$ で入力されているため、ステップ19でイネーブルフラグEはONと判断され、ステップ20に進む。前回セル到着時間TpはセルC2の到着時間であるから1であり、 $CTs (=5)$ と等しくないから、ステップ20でNoと判断され、図3のステップ22に進む。

【0019】ステップ22でセルC3が空セルでないと判断され、ステップ24でアドレスを $CTs=5$ として

6

セル到着履歴メモリ2のイネーブルフラグEをONにし、ステップ25でセル到着履歴メモリ2にLCNを書込む。そして、ステップ26でアドレスをLCNとしてセル到着時刻メモリ3を読み込む。ユーザu1のセルC2が $CTs=1$ で入力されているため、ステップ27でイネーブルフラグEはONと判断され、ステップ30に進む。次に、ステップ30で $CTs - Tp = 4 > Ts (=2)$ であるため、Noと判断され、ステップ28でセル到着時刻メモリ3のイネーブルフラグEをONにし、ステップ29で前回セル到着時間Tp=5にする。セルC5のように、ステップ30でYesと判断されれば、ステップ31で廃棄される。

【0020】なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づき種々の変形が可能であり、それらを本発明の範囲から排除するものではない。

【0021】

【発明の効果】以上、詳細に説明したように、本発明によれば、複数種類の固定長データの発生する時間間隔を固定長データの種類ごとに測定する装置において、同一種類の固定長データが時計カウンタの1周期以上発生しなくてもその発生する時間間隔の測定が可能となる。

【0022】したがって、本発明を複数ユーザを有するATMセルのポリシング制御に適用すれば、同一宛先を持つセルが時計カウンタの1周期以上発生しなくても、ポリシング制御が可能となる。また、ユーザごとの時計カウンタを用意しなくても、基準となる時計カウンタ1つと、セル到着履歴メモリ、セル到着時刻メモリを用意するだけで制御可能となるので、ハードウェア規模とコストが非常に軽減される。

【図面の簡単な説明】

【図1】本発明の実施例に係る時刻管理方式の構成を示すブロック図である。

【図2】本発明の実施例に係る時刻管理方式の動作フローチャートの一部である。

【図3】本発明の実施例に係る時刻管理方式の動作フローチャートの一部である。

【図4】本発明の実施例に係る時刻管理方式の動作タイムチャートである。

【図5】本発明の実施例における到着セル経過時間の概念図である。

【図6】セルフォーマットの概念図である。

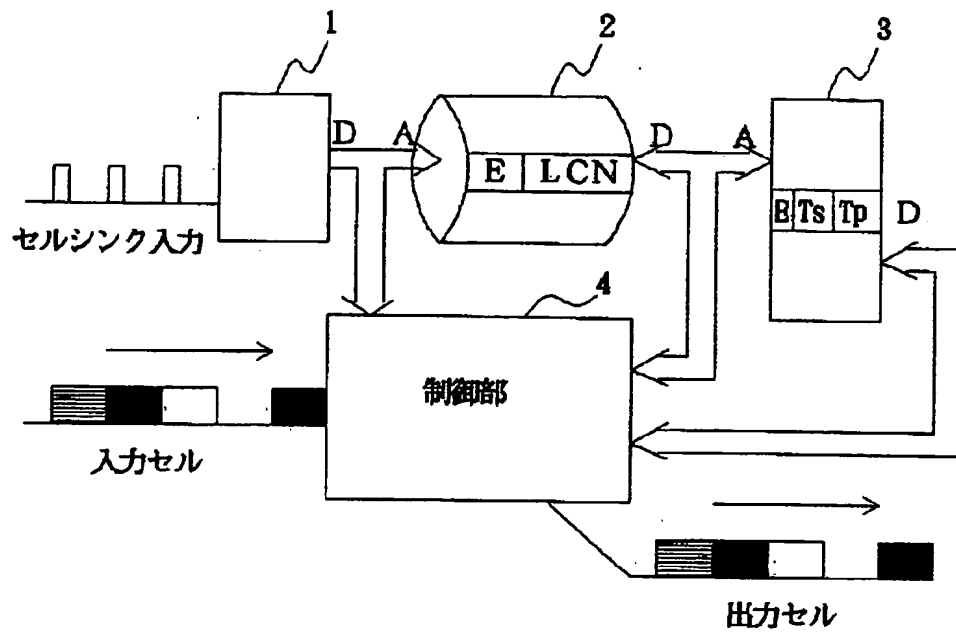
【図7】従来の単一ユーザ時のポリシング制御タイムチャートの1例である。

【図8】従来の単一ユーザ時のポリシング制御動作フローチャートの1例である。

【符号の説明】

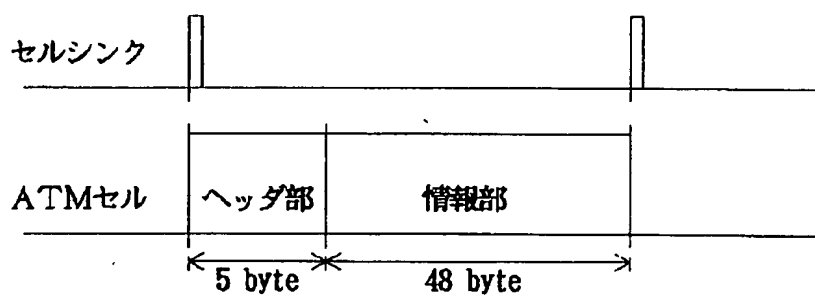
- 1 時計カウンタ
- 2 セル到着履歴メモリ
- 3 セル到着時刻メモリ

【図1】

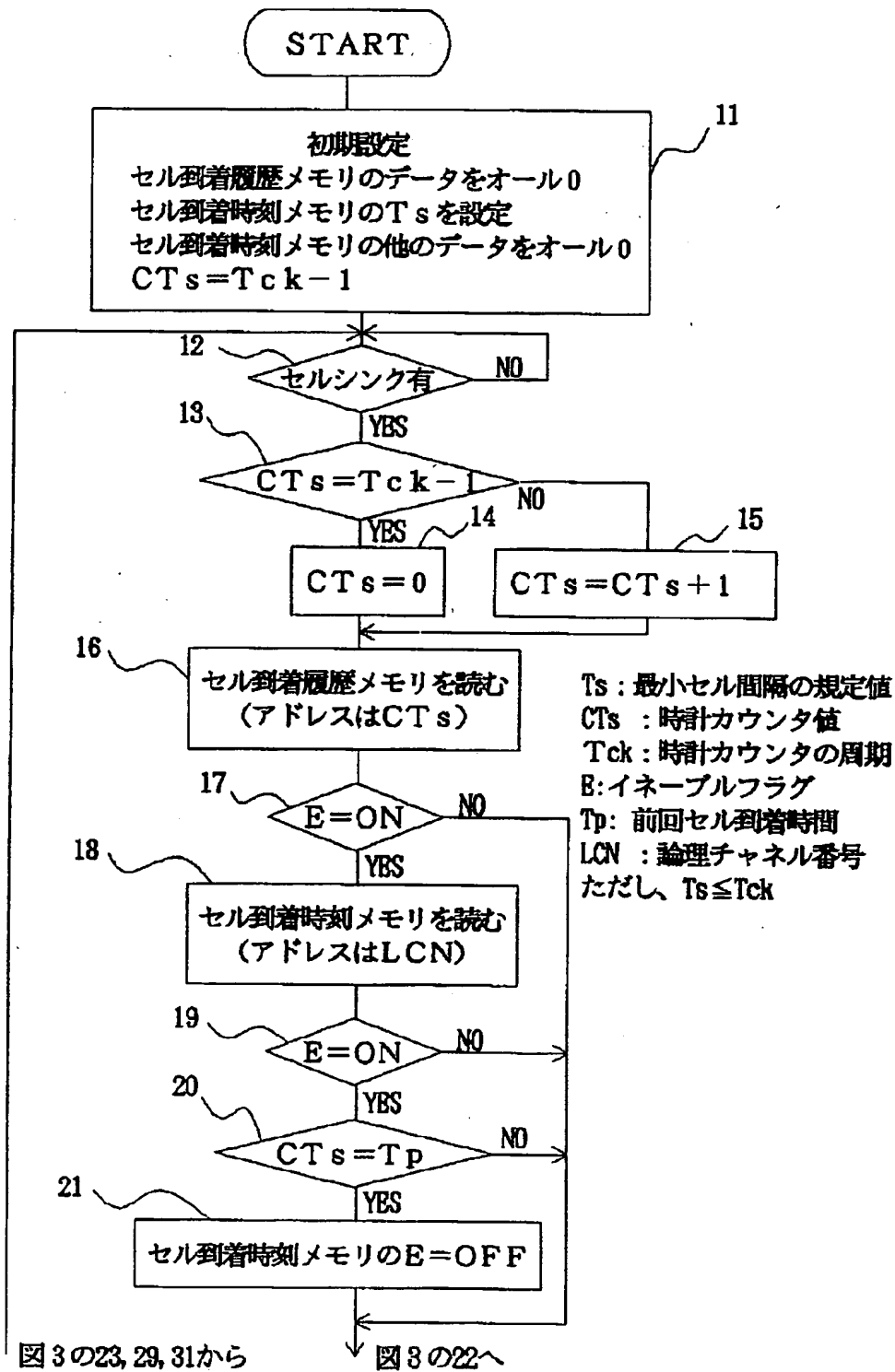


- 1 : 時計カウンタ
 2 : セル到着履歴メモリ
 3 : セル到着時刻メモリ
 4 : 制御部
 A : アドレス
 D : データ

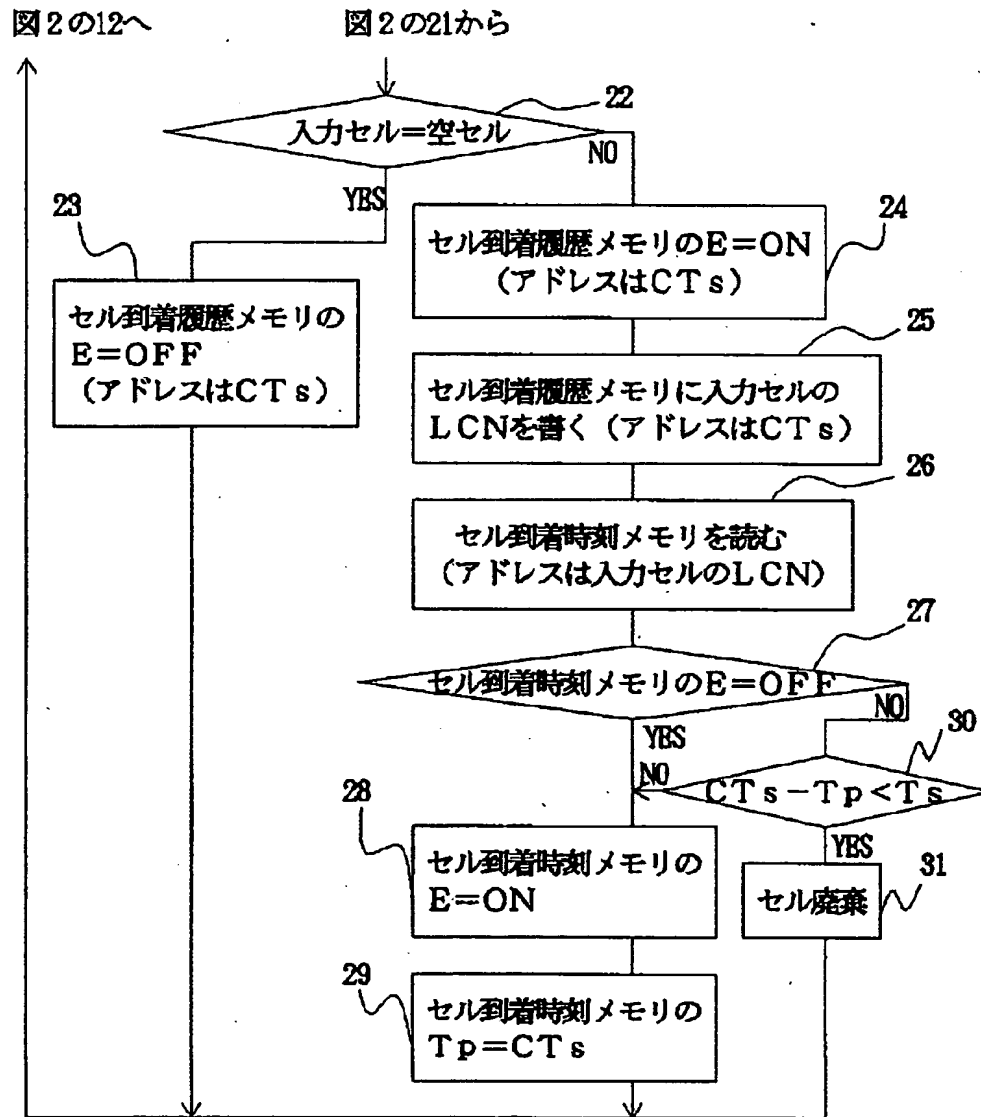
【図6】



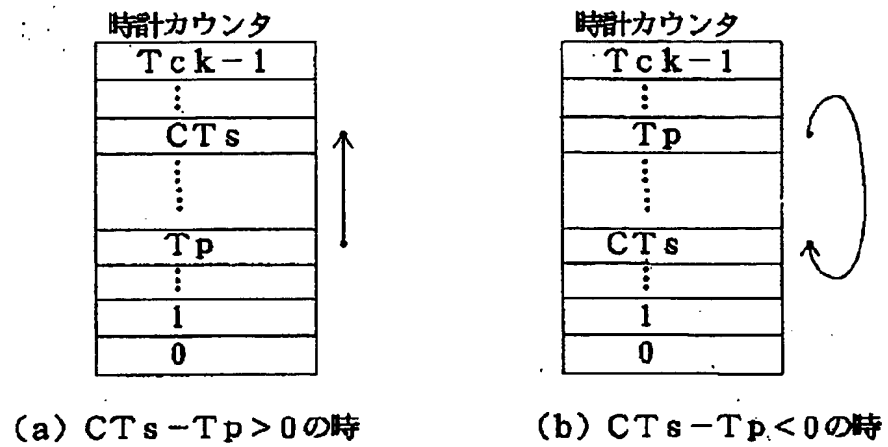
【図2】



【図3】

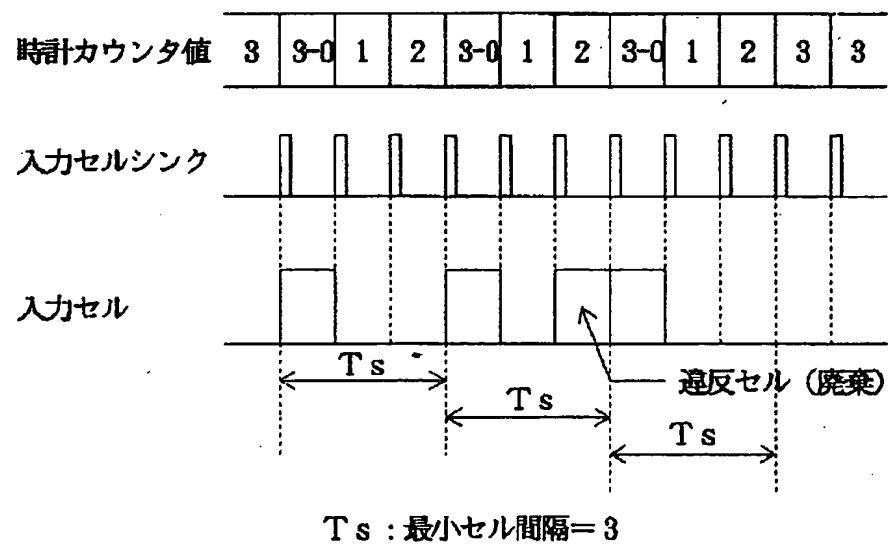


【図4】

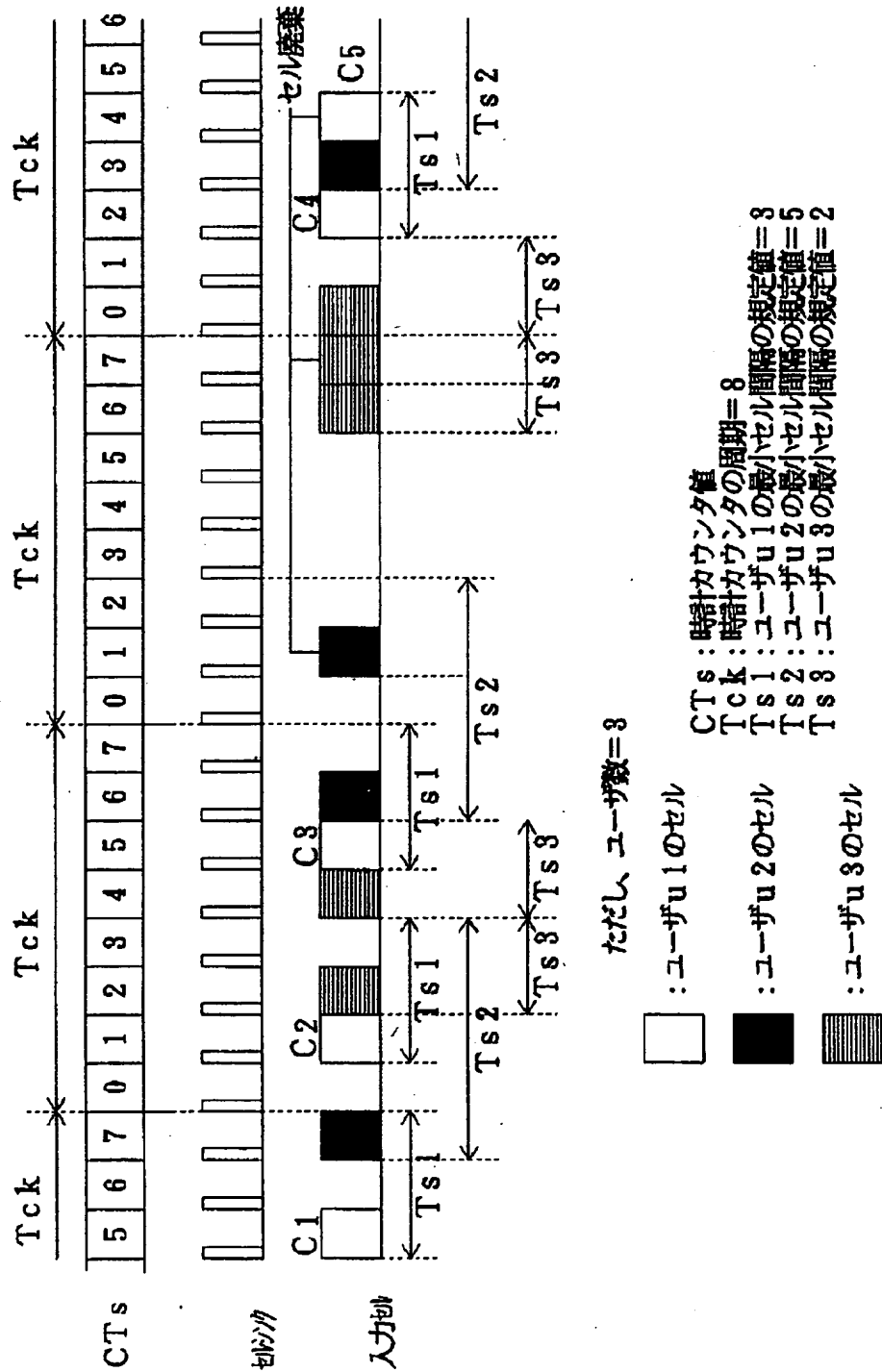


T_{ck} : 時計カウンタの周期
 CTs : 時計カウンタ値 (今回セル到着時間)
 Tp : 前回セル到着時間

【図7】



【図5】



【図8】

